

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 33 220.7

Anmeldetag: 22. Juli 2002

Anmelder/Inhaber: TEXAS INSTRUMENTS DEUTSCHLAND GMBH,
Freising/DE

Bezeichnung: Komparator mit Hysterese

IPC: H 03 K 5/08

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 24. April 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be a stylized 'H' or a similar character, is written over a wavy line.

Hoch

22. Juli 2002

TEXAS INSTRUMENTS DÉUTSCHLAND GMBH

Haggertystraße 1
85356 Freising

Unser Zeichen: T 9989 DE
Hb/se

Komparator mit Hysterese

Die Erfindung betrifft einen Komparator mit Hysterese mit einem ersten Transistor, dessen Steueranschluß den einen Eingang des Komparators bildet, und einem zweiten Transistor, dessen Steueranschluß den anderen Eingang des Komparators bildet, wobei die Hauptstrompfade der beiden Transistoren an einem Ende miteinander verbunden sind.

In vielen elektronischen Schaltungen werden Komparatoren eingesetzt. Wenn die Eingangssignale der Komparatoren verrauscht sind, ist in der Regel ein Komparator mit Hysterese erforderlich. Komparatoren mit Hysterese können 10. durch externe oder interne Gegenkopplung realisiert werden. Im Stand der Technik ist ein CMOS-Komparator mit interner Gegenkopplung bekannt, der z.B. in dem Lehrbuch "CMOS Analog Circuit Design" von Phillip E. Allen und Douglas R. Holberg, 2. Auflage, Oxford University Press 2002, Seiten 471 bis 475 beschrieben worden ist.

15 Der in der beschriebenen Veröffentlichung dargestellte Komparator mit Hysterese ist in der Figur 1 in einem Schaltbild dargestellt. Der im Stand der Technik bekannte Komparator weist einen ersten NMOS-FET M10 auf, dessen Gateanschluß mit dem ersten Eingang des Komparators verbunden ist, und einen zweiten NMOS-FET M20, dessen Gateanschluß mit dem zweiten Eingang des Komparators verbunden ist. Die Source-Anschlüsse der beiden MOS-FETs sind mit einer 20

Stromquelle I verbunden. Die Drainanschlüsse der beiden NMOS-FETs sind über die Hauptstrompfade von PMOS-FETs M30 und M40 mit einer Versorgungsspannung Vcc verbunden. Die Hysterese wird durch die weiteren PMOS-FETs M50 und M60 gebildet. Der PMOS-FET M50 bildet mit dem PMOS-FET M30 5 einen Stromspiegel, während der PMOS-FET M60 mit dem PMOS-FET M40 einen weiteren Stromspiegel bildet. Der Hauptstrompfad des PMOS-FETs M50 ist mit dem Hauptstrompfad des NMOS-FETs M20 verbunden, während der Hauptstrompfad des PMOS-FETs M60 mit dem Hauptstrompfad des NMOS-FETs M10 verbunden ist.

10 Wenn z.B. die Eingangsspannung am Eingang 1 höher ist als die Eingangsspannung am Eingang 2, wird über die Source-Drain-Strecke des NMOS-FETs M10 ein größerer Strom geführt als über die Source-Drain-Strecke des NMOS-FETs M20. Der größte Teil des Stroms der Konstantstromquelle I fließt dann über Vcc, M30, M10 und die Stromquelle I zur Masse, während über M20 nur ein 15 geringer oder kein Strom fließt. Dabei liegt das Ausgangssignal am Ausgang 70 des Komparators auf H-Pegel. Die Gatespannung an den beiden Stromspiegeltransistoren M40 und M60 liegt ebenfalls auf H-Pegel.

Wenn nun die Spannung am Eingang 1, d.h. am Steueranschluß des NMOS-FETs M10, im Verhältnis zu der am Eingang 2, d.h. am Steueranschluß des 20 NMOS-FETs M20, kleiner wird, so nimmt der über Vcc, M50, M20 und I fließende Strom allmählich zu, wobei der Komparator umschaltet, wenn der über M50 und M20 fließende Strom dem über M40 und M20 fließenden Strom entspricht. Damit ein Umschalten stattfindet, muß die Gatekapazität der Transistoren 25 M40 und M60, die vorher auf H-Pegel lag, auf Massepotential entladen werden, was eine gewisse Zeit Δt dauert. Falls die an den Eingängen des Komparators liegenden Signale ihre Pegel mit einer hohen Frequenz ändern, ist ein relativ großer Strom I erforderlich, um das ständige schnelle Umladen der Gatekapazitäten der Stromspiegeltransistoren M30, M50, M60 und M40 zu gewährleisten. Der im Stand der Technik bekannte CMOS-Komparator kann daher nur bei hohem 30 Stromverbrauch mit einer hohen Schaltgeschwindigkeit eingesetzt werden.

Die Aufgabe der Erfindung besteht daher darin, einen verbesserten Komparator mit Hysterese zu schaffen, dessen Stromverbrauch selbst bei schnellem Schaltverhalten gering ist.

Die Aufgabe der vorliegenden Erfindung wird durch einen eingangs genannten 5 Komparator mit Hysterese gelöst, der darüber hinaus dadurch gekennzeichnet ist, daß ein dritter Transistor und ein vierter Transistor vorgesehen sind, wobei der Steueranschluß des dritten Transistors mit dem Steueranschluß des ersten Transistors verbunden ist und sein Hauptstrompfad zwischen das eine Ende der Hauptstrompfade des ersten und zweiten Transistors und über den Hauptstrompfad des vierten Transistors das andere Ende des Hauptstrompfades des zweiten Transistors geschaltet ist und der Steueranschluß des vierten Transistors mit dem Ausgangssignal oder dem invertierten Ausgangssignal des Komparators verbunden ist..

Der erfindungsgemäße Komparator kommt ohne die beim Stand der Technik 15 verwendeten Stromspiegel aus und vermeidet so ein ständiges Umladen der Gatekapazitäten dieser Stromspiegel, wodurch ein geringer Stromverbrauch selbst bei hohen Schaltfrequenzen ermöglicht wird.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

20 Die Erfindung wird nun anhand der Zeichnung beispielshalber erläutert. In der Zeichnung zeigen:

- Figur 1 ein Schaltbild eines zum Stand der Technik gehörenden Komparators mit Hysterese und interner Gegenkopplung,

25 - Figur 2 den Schaltplan einer ersten Ausführungsform eines erfindungsgemäßen Komparators mit Hysterese,

- Figur 3 den Schaltplan einer zweiten Ausführungsform eines erfindungsgemäßen Komparators mit Hysterese,

- Figur 4 den Schaltplan eines ASK-Demodulators, der einen erfindungsgemäßen Komparator verwendet und

- Figur 5 verschiedene Graphen, die Signalverläufe an verschiedenen Schaltungspunkten des in der Figur 4 dargestellten ASK-Demodulators zeigen.

5. Die Figur 1 zeigt einen zum Stand der Technik gehörenden Komparator mit Hysterese, der in der Beschreibungseinleitung erläutert worden ist.

Die Figur 2 zeigt den Schaltplan einer ersten Ausführungsform eines erfindungsgemäßen Komparators mit Hysterese.

10. Zunächst soll der Aufbau des in der Figur 2 dargestellten Komparators mit Hysterese beschrieben werden.

Der in der Figur 2 dargestellte erfindungsgemäße Komparator mit Hysterese umfaßt einen ersten Eingangs-MOS-FET M1 (N-Typ), dessen Gateanschluß den ersten Eingang des Komparators bildet. Darüber hinaus ist ein zweiter MOS-FET M2 (N-Typ) vorgesehen, dessen Gateanschluß den zweiten Eingang des Komparators bildet. Die Sourceanschlüsse des ersten MOS-FETs M1 und des zweiten MOS-FETs M2 sind miteinander verbunden, wobei der Verbindungspunkt mit einer an Masse liegenden Stromquelle I verbunden ist.

15. Darüber hinaus ist ein dritter MOS-FET M3 (N-Typ) vorgesehen, dessen Sourceanschluß mit dem Sourceanschluß des ersten MOS-FETs M1 verbunden ist, wobei sein Gateanschluß mit dem Gateanschluß des ersten MOS-FETs M1 verbunden ist. Das W/L-Verhältnis (Weiten/Längen-Verhältnis) des dritten MOS-FETs M3 ist kleiner als das W/L-Verhältnis des ersten MOS-FETs M1.

20. Der Drainanschluß des dritten MOS-FETs M3 ist mit dem Sourceanschluß eines vierten MOS-FETs M4 (N-Typ) verbunden, dessen Drainanschluß mit dem Drainanschluß des zweiten MOS-FETs M2 verbunden ist, wobei der Gateanschluß des vierten MOS-FETs M4 mit dem Inversen des Ausgangssignals des Komparators am Schaltungspunkt 10 verbunden ist.

25.

Es ist ferner ein fünfter MOS-FET M5 (P-Typ) vorgesehen, dessen Drainanschluß mit dem Drainanschluß des ersten MOS-FETs M1 verbunden ist, wobei sein Sourceanschluß mit einer Versorgungsspannung Vcc verbunden ist. Der Gateanschluß des fünften MOS-FETs M5 ist mit seinem Drainanschluß sowie mit dem Gateanschluß eines sechsten MOS-FETs M6 (P-Typ) verbunden, dessen Sourceanschluß an der Versorgungsspannung Vcc liegt und der zusammen mit dem fünften MOS-FET M5 einen Stromspiegel bildet.

Es ist darüber hinaus ein siebter MOS-FET M7 (P-Typ) vorgesehen, dessen Drainanschluß mit dem Drainanschluß des zweiten MOS-FETs M2 verbunden ist, wobei sein Sourceanschluß mit der Versorgungsspannung Vcc verbunden ist und sein Gateanschluß mit seinem Drainanschluß sowie mit dem Gateanschluß eines acht MOS-FETs M8 (P-Typ) verbunden ist, dessen Sourceanschluß mit der Versorgungsspannung Vcc verbunden ist und der mit dem siebten MOS-FET M7 einen Stromspiegel bildet. Der Drainanschluß des acht MOS-FETs M8 ist mit dem Drainanschluß eines neunten MOS-FETs M9 (N-Typ) verbunden, dessen Sourceanschluß an Masse liegt und dessen Gateanschluß mit seinem Drainanschluß sowie mit dem Gateanschluß eines zehnten MOS-FETs M10 (N-Typ) verbunden ist. Der Sourceanschluß des zehnten MOS-FETs M10 liegt an Masse, während sein Drainanschluß am Schaltungspunkt 11 mit dem Drainanschluß des sechsten MOS-FETs M6 verbunden ist.

Der Schaltungspunkt 11 ist über einen ersten Inverter 12 und einen zweiten Inverter 13 mit dem Ausgang 14 des Komparators verbunden.

Im folgenden wird die Arbeitsweise des erfindungsgemäßen und in der Figur 2 dargestellten Komparators mit Hysteresis beschrieben.

Zunächst werde angenommen, daß sich der Ausgang des in der Figur 2 dargestellten Komparators im L-Zustand befindet, d.h., daß am Schaltungspunkt 14 ein niedriger Spannungspegel anliegt. Dann liegt am Schaltungspunkt 10 vor dem zweiten Inverter 13 ein Spannungspegel mit H-Zustand an und am Schaltungspunkt 11 vor dem ersten Inverter 12 ein Spannungspegel mit L-Zustand. In

diesem Zustand des Komparators ist der zehnte MOS-FET M10 durchgeschaltet und der sechste MOS-FET M6 ist gesperrt. Darüber hinaus sind auch der fünfte MOS-FET M5, der erste MOS-FET M1 und der zweite MOS-FET M3 gesperrt, was bedeutet, daß über den Stromzweig M5, M1 und I kein oder nur ein geringer Strom fließt. Da der Spannungspegel am Schaltungspunkt 10 H-Pegel aufweist, ist der vierte MOS-FET M4 durchgeschaltet, es kann jedoch kein Strom über diesen fließen, da der MOS-FET M3 gesperrt ist. Darüber hinaus ist in diesem Zustand des Komparators der am Gate des ersten MOS-FETs M1 anliegende Spannungspegel im Vergleich zu dem am Gate des zweiten MOS-FETs M2 anliegenden Spannungspegel relativ niedrig. Die MOS-FETs M2, M7, M8, M9 und M10 sind durchgeschaltet, so daß ein Strom über den Strompfad M7, M2 und I gegen Masse fließt.

Es werde nun der Zustand betrachtet, bei dem das Ausgangssignal des Komparators am Ausgang 14 vom L-Zustand in den H-Zustand wechselt. Der Wechsel tritt genau an dem Punkt auf, an dem der Strom durch die Source-Drain-Strecke des MOS-FETs M5 (i_{M5}) dem Strom durch die Source-Drain-Strecke des siebten MOS-FETs M7 (i_{M7}) genau entspricht. Wird nun die Spannung am Gateanschluß des zweiten MOS-FETs M2 allmählich vermindert und die Spannung am Gateanschluß des ersten MOS-FETs M1 allmählich erhöht, so steigt allmählich der Strom durch den Stromzweig M5, M1 und I an. Da zusammen mit dem ersten MOS-FET M1 auch der dritte MOS-FET M3 durchgeschaltet wird, wenn die Spannung am Gateanschluß des MOS-FETs M1 steigt, steigt auch der Strom, der von i_{M7} über den Stromzweig M4, M3 und I abgezweigt wird. Dadurch wird erst bei einer tieferen Spannung am Gateanschluß des zweiten MOS-FETs M2 das Ausgangssignal am Ausgang 14 des Komparators von L auf H umgeschaltet, als dieses bei einer Schaltung der Fall wäre, die nicht den dritten MOS-FET M3 und den vierten MOS-FET M4 aufweisen würde. Der Strom i_{M5} erreicht erst bei tieferen Spannungswerten am Gateanschluß von M2 den gleichen Betrag wie der Strom i_{M7} , wodurch sich die Spannungshysterese des Komparators ergibt.

Die Gatekapazitäten der Stromspiegeltransistoren M7, M8 werden im Gegensatz zu dem in der Figur 1 dargestellten zum Stand der Technik gehörenden Komparator mit Hysterese nicht entladen, da ein gewisser Strom i_{M8} bzw. i_{M7} ständig fließt, was ein sehr schnelles Umschaltverhalten des Komparators selbst 5 bei niedrigen Strömen ermöglicht wird. Die Gatekapazität des Transistors M5 "floatet", d.h. sie wird im Gegensatz zum Stand der Technik wenigstens nicht auf ein entgegengesetztes Potential aufgeladen, so daß auch hier ein schnelleres Umschalten des Komparators begünstigt wird.

Es werde im folgenden angenommen, daß der Komparator mit einem sehr 10 niedrigen Konstantstrom I betrieben wird, wobei sämtliche MOS-FETs bei schwacher Inversion, d.h. bei Unterschwellenstrom betrieben werden (weak inversion).

Nachdem die am Gateanschluß des zweiten MOS-FETs M2 anliegende Spannung auf einen bestimmten Wert abgesunken ist, schaltet der Komparator am 15 Ausgang vom L-Zustand in den H-Zustand. Nun fließt der größte Teil des Stromes über die MOS-FETs M5, M1 und I gegen Masse. Da am Schaltungspunkt 10 nunmehr ein L-Pegel anliegt, ist der vierte MOS-FET M4 nun gesperrt und es kann kein Strom mehr über den Strompfad M7, M4, M3 und I fließen.

Der Transistor M6 ist nun durchgeschaltet und der Transistor M10 gesperrt. 20 Ebenso führen die MOS-FETs M2, M7, M8, M9 und M10 nur noch einen geringen oder keinen Strom.

Es wird nun der Fall betrachtet, daß der Komparator nun erneut am Ausgang vom H-Zustand in den L-Zustand umschalten möchte. Es muß nun die Spannung am Gateanschluß des zweiten MOS-FETs M2 erneut hochgehen, und zwar soweit, 25 daß die Ströme i_{M5} und i_{M7} erneut gleich sind. Hier ergibt sich kein Unterschied zu einer Schaltung, die den dritten MOS-FET M3 und den vierten MOS-FET M4 nicht aufweisen würde, da M4 jetzt gesperrt ist. Die Spannung am Gateanschluß des MOS-FETs M2 muß daher am Umschaltungspunkt gleich sein wie einer

Schaltung, die der Figur 2 entsprechen würde, jedoch ohne M3 und M4 auskommt.

Geht man davon aus, daß sämtliche Transistoren bei schwacher Inversion; d.h. mit Unterschwellenstrom, betrieben werden, und die Längen sämtlicher Transistoren gleich sind, so ergibt sich für die Hysteresespannung die folgende Gleichung:

$$V_{\text{Hysterese}} = \frac{n \cdot kT}{q} \cdot \ln \left(\frac{W_2}{W_1} \cdot \frac{1}{\left(1 - \frac{W_3}{W_1} \right)} \right), \quad (1)$$

wobei n ein Kapazitätsverhältnis ist, das z.B. in dem Buch "VLSI-Entwurf" von K. Hoffmann, vierte Auflage, R. Oldenbourg Verlag München-Wien 1998, auf Seite 269 beschrieben ist,

k: die Boltzmann-Konstante ist,

T: die absolute Temperatur ist,

q = die Elementarladung ist und W1, W2 und W3 die Weiten der Transistoren M1, M2 bzw. M3 sind. Es wird dabei davon ausgegangen, daß die Längen sämtlicher Transistoren gleich sind.

Setzt man für $(n \cdot k \cdot T) / q = 40 \text{ mV}$, $W_1 = W_2$ und $W_3 = \frac{1}{2} \cdot W_1$, so ergibt sich beispielsweise:

$$V_{\text{Hysterese}} = 40 \text{ mV} \cdot \ln 2 = 27,7 \text{ mV}. \quad (2)$$

Durch Einstellen der Weitenverhältnisse der Transistoren lässt sich so ein gewünschter Betrag für die Hysterese realisieren.

In der Figur 3 ist ein Schaltplan einer weiteren Ausführungsform eines erfundungsgemäßen Komparators dargestellt. Dabei sind Elemente, die ebenfalls in der

in der Figur 2 dargestellten Schaltung auftreten, mit den gleichen Bezugszeichen gekennzeichnet.

Der wesentliche Unterschied zwischen dem in der Figur 2 und in der Figur 3 dargestellten Komparator besteht darin, daß der in der Figur 3 dargestellte Komparator eine symmetrische Hysteresis aufweist. Das wird dadurch erzielt, daß zwei weitere MOS-FETs vorgesehen sind, nämlich ein elfter MOS-FET M11 und ein zwölfter MOS-FET M12, die in spiegelbildlicher Anordnung zu den MOS-FETs M3 und M4 geschaltet sind. Darüber hinaus ergibt sich hier ein noch schnelleres Umschalten gegenüber dem Stand der Technik (siehe Fig. 1) und gegenüber der in Fig. 2 dargestellten Ausführungsform der Erfindung, da hier keiner der Transistoren stromlos wird und ein Umladen der Gatekapazitäten der Transistoren M5, M6, M7 und M8 entfällt. Dadurch lassen sich kürzere Schaltzeiten des Komparators bei kleineren Strömen sowie bessere kalkulatorische Ergebnisse erzielen.

15. Dabei ist der Sourceanschluß des elften MOS-FETs M11 mit dem Sourceanschluß des zweiten MOS-FETs M2 verbunden, während sein Gateanschluß mit dem Gateanschluß des zweiten MOS-FETs M2 verbunden ist. Der Drainanschluß des elften MOS-FETs M11 ist mit dem Sourceanschluß eines zwölften MOS-FETs M12 verbunden, dessen Drainanschluß mit dem Drainanschluß des ersten MOS-FETs M1 verbunden ist. Der Gateanschluß des zwölften MOS-FETs M12 ist mit dem Ausgang 14 des Komparators verbunden. Darüber hinaus ist in der Schaltung der Anordnung der Figur 3 der zweite Inverter 12 (siehe Figur 2) durch die beiden MOS-FETs M13 und M14 ersetzt.

20. Die beiden Umschaltpunkte des in der Figur 3 dargestellten Komparators mit Hysteresis ergeben sich durch die folgenden Beziehungen:

Umschaltpunkt 1:

$$V(\text{Eingang 1} - \text{Eingang 2}) = 40 \text{ mV} * \ln \left(\frac{W2}{W1} * \left(1 - \frac{W3}{W1} \right) \right), \quad (3)$$

Umschaltpunkt 2:

$$V(\text{Eingang 2} - \text{Eingang 1}) = 40 \text{ mV} * \ln \left(\frac{W1}{W2} * \left(1 - \frac{W11}{W2} \right) \right), \quad (4)$$

wobei wiederum angenommen wurde, daß die Größe $(n \cdot k \cdot T) / q = 40 \text{ mV}$ ist, W1, W2, W3 und W11 die Weiten der Transistoren M1, M2, M3 bzw. M11 sind und die Längen sämtlicher Transistoren gleich sind. Ferner wurde wiederum angenommen, daß die Transistoren bei schwacher Inversion betrieben werden.

In der Figur 3 ist darüber hinaus ein Schaltungsteil vorgesehen, der dazu dient, den Zustand des Ausgangssignals des Komparators im H- oder L-Zustand zu verriegeln, falls die Spannungen an den Eingängen 1 und 2 des Komparators verschwinden. Der Schaltungsteil zum Verriegeln des Komparatorzustands besteht aus den MOS-FETs M15 (N-Typ); M16 (P-Typ) und M17 (P-Typ) sowie den beiden Stromquellen, die in der Figur 3 mit $I/10$ gekennzeichnet sind, was symbolisieren soll, daß diese Stromquellen nur ein Zehntel des Stroms der Stromquelle I führen. Der Schaltungsteil zum Verriegeln des Komparatorzustands wurde bei der Entwicklung der oben angegebenen Hystereseformeln (3) und (4) nicht berücksichtigt.

Eine weitere Ausführungsform der Erfindung würde sich natürlich ergeben, wenn man bei der in der Fig. 3 dargestellten Ausführungsform die Transistoren M3 und M4 weglassen würde.

Die Figur 4 zeigt ein Anwendungsbeispiel für den erfundungsgemäßen Komparator.

In der Fig. 4 ist der Schaltplan eines ASK-Demodulators dargestellt, wie er z.B. in einem Transponder verwendet werden kann, der ein ASK-Eingangssignal (ASK = amplitude shift keying) empfängt, das er an seinem Ausgang in ein digitales demoduliertes Signal wandelt.

Dem in der Fig. 4 dargestellten Eingang des Demodulators kann z.B. eine Schaltung (AGC-Verstärker; AGC = automatic gain control) vorgeschaltet sein, die dafür sorgt, daß der Spannungshub des empfangenen modulierten Signals im wesentlichen konstant bleibt.

5 In der Fig. 5 sind verschiedene Spannungssignale dargestellt, die an verschiedenen Schaltungspunkten der in der Fig. 4 dargestellten Demodulatorschaltung auftreten und zum besseren Verständnis der in der Fig. 4 dargestellten Schaltung dienen sollen.

Der in der Fig. 4 dargestellte Demodulator empfängt an seinem Eingang 10 amplitudentastete Signale (ASK-Modulation), bei denen die Amplitude einer Trägerschwingung durch ein binäres Codesignal zwischen zwei Zuständen umgeschaltet wurde. Die Frequenz der Trägerschwingung kann z.B. bei 134 kHz liegen. In der Fig. 5a ist das am Eingang des Demodulators empfangene Signal schematisch dargestellt, wobei die Trägerschwingung des Eingangssignals bis 15 zum Zeitpunkt t_1 eine Amplitude mit einem hohen Spannungspegel aufweist, der zum Zeitpunkt t_1 auf einen zweiten, niedrigen Spannungspegel umgeschaltet wird, der z.B. den Wechsel des digitalen Zustands des Signals von 0 auf 1 repräsentiert. Zum Zeitpunkt t_2 wird die Amplitude des Eingangssignals wieder auf den hohen Pegel zurückgeschaltet.

20 Das am Eingang des Demodulators anliegende Signal wird über einen ersten Spannungsfolger 1 und eine Gleichrichterdiode 2 auf einen ersten Kondensator C_1 gegeben, der sich in Abhängigkeit vom Zustand der Amplitude des Eingangssignals unterschiedlich auflädt bzw. entlädt. Es ist eine Stromquelle 3 vorgesehen, über die der Kondensator C_1 kontinuierlich mit einem bestimmten Strom entladen wird. Die Stromquelle kann z.B. auf einen Strom von 30 nA eingestellt sein. Durch die Gleichrichteranordnung (1, 2, 3, C_1) werden Frequenzen, die über der Modulationsbitrate liegen, herausgefiltert.

Obwohl zwischen die Antenne des Transponders und dem Eingang der in der Fig. 4 dargestellten Demodulatorschaltung einer Signalaufbereitungsschaltung

geschaltet ist, die dafür sorgt, daß der maximale Spannungshub des Eingangssignals im wesentlichen konstant bleibt, können kurzfristig sehr starke Spannungsschwankungen am Eingang auftreten, da die z.B. von einem Lesegerät am Transpondereingang empfangenen Signale sehr stark schwankende Spannungspegel aufweisen können, was dadurch bedingt sein kann, daß der Abstand zwischen Lesegerät und Transponder variiert. Um die Einregelzeit der mit dem Eingang des in der Fig. 4 dargestellten Demodulators verbundenen Signalaufbereitungsschaltung möglichst klein zu halten, ist eine Klemmdiode 4 vorgesehen, die mit dem Kondensator C1 verbunden ist und dafür sorgt, daß die am Schaltungspunkt 5 auftretende Ausgangsspannung des Gleichrichters geklemmt wird und bestimmte Spannungswerte nicht überschreiten kann. Als Klemmdiode 4 kann z.B. ein als Diode geschalteter NMOS-FET verwendet werden.

In der Fig. 5 b) ist das am Schaltungspunkt 5 auftretende gleichgerichtete Spannungssignal, das am Kondensator C1 anliegt, dargestellt. Falls das ASK-Eingangssignal zum Zeitpunkt t_1 von einem hohen auf einen niedrigen Amplitudenpegel abfällt, so sinkt die Spannung am Kondensator C1, der über die Stromquelle 3 allmählich entladen wird. Falls die Amplitude des Eingangssignals zum Zeitpunkt t_2 wieder ansteigt, so wird der Kondensator C1 erneut auf seinen ursprünglichen Pegel aufgeladen.

Das am Schaltungspunkt 5 anliegende Signal ist mit dem Eingang eines zweiten Spannungsfolgers 6 und dem Eingang eines dritten Spannungsfolgers 7 verbunden. Der Ausgang des zweiten Spannungsfolgers 6 ist mit einem zweiten Kondensator C2 verbunden, der eine relativ große Kapazität von 50 pF aufweist. Der Ausgang des dritten Spannungsfolgers 7 ist mit einem dritten Kondensator C3 verbunden, der eine relativ kleine Kapazität von 1 pF aufweist, die kleiner als die Kapazität des zweiten Kondensators C2 ist.

Da die Kapazität des zweiten Kondensators C2 wesentlich größer als die Kapazität des dritten Kondensators C3 ist, folgt der vom zweiten Spannungsfolger 6 getriebene zweite Kondensator C2 am Schaltungspunkt 5 auftretenden

Spannungsänderungen wesentlich langsamer als der vom dritten Spannungsfolger 7 getriebene Kondensator C3.

Der Ausgang des zweiten Spannungsfolgers 6 ist darüber hinaus mit dem ersten Eingang eines erfindungsgemäßen Komparators 8 verbunden, dessen 5 anderer Eingang mit dem Ausgang des dritten Spannungsfolgers 7 verbunden ist.

Um das Rauschen des Signals zu berücksichtigen, muß bei dem Komparator eine ausreichende Hysterese eingestellt werden. Die Hysterese kann z.B. 50 mV betragen und mittels der obigen Beziehungen (1) – (4) berechnet werden. Darüber hinaus liegt zwischen den Eingängen des Komparators eine Offsetspannung von 10 z.B. –75 mV. Um den Offset zwischen dem "langsam Ausgangssignal" des zweiten Spannungsfolgers 6 und dem "schnellen Ausgangssignal" des dritten Spannungsfolgers 7 noch zu vergrößern, können auch beide Spannungsfolger jeweils eine weitere Offsetspannung aufweisen, die z.B. beim zweiten Spannungsfolger –25 mV und beim dritten Spannungsfolger +25 mV betragen kann und den 15 Komparatoroffset unterstützt. Bei den erfindungsgemäßen Komparatoren ist es nicht möglich, einen Offset zu erzielen, der einen bestimmten Höchstwert überschreitet, so daß notwendigerweise ein gewisser Anteil des Offsets auf die beiden Spannungsfolger 6 und 7 verteilt werden muß, um einen ausreichenden Ausgangsspannungsabstand (siehe Fig. 5c) zwischen dem "schnellen Ausgangssignal" 20 und dem "langsam Ausgangssignal" zu erzielen.

In der Fig. 5 c) sind die Spannungen dargestellt, die an den Eingängen des erfindungsgemäßen Komparators 8 anliegen. Dabei ist die am Kondensator C3 anliegende Spannung mit "schnell" gekennzeichnet, da dieser Kondensator eine relativ kleine Kapazität aufweist, und daher relativ schnell vom dritten Spannungsfolger 7 auf- bzw. entladen werden kann und Änderungen des Pegels des ASK-Eingangssignals schnell folgt. Das am zweiten Kondensator C2 anliegende Ausgangssignal ist mit "langsam" gekennzeichnet, da dieser Kondensator mit seiner relativ großen Kapazität nur relativ langsam über den zweiten Spannungsfolger 6 auf- bzw. entladen werden kann und Änderungen des Pegels 30 des ASK-Eingangssignals nur langsam folgt.

Darüber hinaus ist der Offset von 50 mV der beiden Spannungsfolger eingezeichnet, der dafür sorgt, daß der Komparator 8 die Signale an C3 und C2 so sieht, als daß zwischen ihnen zum Zeitpunkt t0 ein Abstand von 50 mV besteht.

Wenn nun zum Zeitpunkt t1 die Spannung am Kondensator C1 absinkt, so
 5 sinkt die Spannung am "Schnell"-Eingang des Komparators 8, der spannungsmäßig um 50 mV über dem "Langsam"-Eingang liegt, relativ schnell ab, da der Kondensator C3 über den dritten Spannungsfolger 7 relativ schnell entladen wird. Der Kondensator C2 und damit die am "Langsam"-Eingang des Komparators 8 liegende Spannung nimmt nur relativ langsam ab, was in der Fig. 5 c) zu erkennen
 10 ist. Irgendwann (Zeitpunkt t11) unterschreitet die am "Schnell"-Eingang des Komparators 8 liegende Spannung, die am "Langsam"-Eingang des Komparators liegende Spannung, wobei wegen des Offset des Komparators von -75 mV erst nach einem weiteren Zeitintervall zum Zeitpunkt t12 das am Ausgang des Komparators 8 und damit des Demodulators liegende Ausgangssignal vom "L"-
 15 auf "H"-Zustand umschaltet.

Wenn zum Zeitpunkt t2 das am Eingang des Demodulators liegende ASK-Signal bezüglich seines Amplitudenspannungspegels wieder ansteigt, so wird der Kondensator C3 schnell und der Kondensator C2 langsam aufgeladen. Dann wird (Zeitpunkt t21), wenn die am "Schnell"-Eingang des erfindungsgemäßen Komparators 8 liegende Spannung bis auf 25 mV an die am "Langsam"-Eingang des Komparators 8 liegende Spannung herangekommen ist, der Komparator erneut umgeschaltet. Der Wert von -25 mV ergibt aus der Summe des Offset (-75 mV) des Komparators und der Hysteres (50 mV).

Der beschriebene ASK-Demodulator ist natürlich nur ein Beispiel für das
 25 Einsatzgebiet des erfindungsgemäßen Komparators. Es sind eine Vielzahl von anderen Anwendungen denkbar, insbesondere wenn es darum geht, Schaltungen mit niedrigen Betriebsspannungen und niedrigem Stromverbrauch zu realisieren, die einen Komparator mit hoher Schaltgeschwindigkeit benötigen.

Der erfindungsgemäße Komparator lässt sich natürlich auch unter Einsatz von anderen Transistortypen realisieren. Es können z.B. auch bipolare Transistoren verwendet werden, wobei dann die Hauptstrompfade nicht wie bei den in den Fig. 2 - 3 dargestellen. Ausführungsformen die Source-Drain-Strecken der Transistoren, sondern die Emitter-Kollektor-Strecken sind.

Patentansprüche

1. Komparator mit Hysterese, mit einem ersten Transistor (M1), dessen Steueranschluß den einen Eingang des Komparators bildet, und einem zweiten Transistor (M2), dessen Steueranschluß den anderen Eingang des Komparators bildet, wobei die Hauptstrompfade der beiden Transistoren (M1, M2) an einem Ende miteinander verbunden sind, dadurch gekennzeichnet, daß ein dritter Transistor (M3) und ein vierter Transistor (M4) vorgesehen sind, wobei der Steueranschluß des dritten Transistors (M3) mit dem Steueranschluß des ersten Transistors (M1) verbunden ist und sein Hauptstrompfad zwischen das eine Ende der Hauptstrompfade des ersten und zweiten Transistors (M1, M2) und über den Hauptstrompfad des vierten Transistors (M4) das andere Ende des Hauptstrompfades des zweiten Transistors (M2) geschaltet ist und der Steueranschluß des vierten Transistors mit dem Ausgangssignal oder dem invertierten Ausgangssignal des Komparators verbunden ist.

10 15 2. Komparator nach Anspruch 1, bei dem die Transistoren (M1, M2, M3, M4) bipolare Transistoren sind.

15 20 3. Komparator nach Anspruch 1, bei dem die Transistoren (M1, M2, M3, M4) MOS-FETs sind.

20 25 4. Komparator nach Anspruch 3, bei dem das W/L-Verhältnis des ersten Transistors (M1) größer als das W/L-Verhältnis des dritten Transistors (M3) ist.

25 30 5. Komparator nach einem der vorhergehenden Ansprüche, der darüber hinaus einen fünften Transistor (M11) und einen sechsten Transistor (M12) umfaßt, wobei der Steueranschluß des fünften Transistors (M11) mit dem Steueranschluß des zweiten Transistors (M2) verbunden ist und sein Hauptstrompfad zwischen das eine Ende des Hauptstrompfads des ersten und zweiten Transistors (M1, M2) und über den Hauptstrompfad des sechsten Transistors (M12) das andere Ende des Hauptstrompfades des ersten Transistors (M1) geschaltet ist und der Steueranschluß des sechsten Transistors (M12) mit dem Ausgangssignal des

Komparators verbunden ist, wenn der Steueranschluß des vierten Transistors (M4) mit dem invertierten Ausgangssignal des Komparators verbunden ist und mit dem invertierten Ausgangssignal des Komparators verbunden ist, wenn der Steueranschluß des vierten Transistors (M4) mit dem Ausgangssignal des Komparators verbunden ist.

6. Komparator nach einem der vorhergehenden Ansprüche, bei dem darüber hinaus ein Schaltungsteil vorgesehen ist, der dafür sorgt, daß der Zustand des Ausgangssignals des Komparators verriegelt wird, selbst wenn die Spannungspegel an dem einen und/oder anderen Eingang des Komparators verschwinden.
- 10 7. Komparator nach einem der vorhergehenden Ansprüche, bei dem das eine Ende der Hauptstrompfade des ersten Transistors und des zweiten Transistors mit einer Stromquelle verbunden ist.
- 15 8. Komparator nach einem der vorhergehenden Ansprüche, bei dem der Hauptstrompfad des ersten Transistors und der Hauptstrompfad des zweiten Transistors jeweils über den Hauptstrompfad eines weiteren Transistors mit einer Versorgungsspannung verbunden ist.
9. ASK-Demodulator mit einem Komparator (8) nach einem der vorhergehenden Ansprüche.
10. ASK-Demodulator nach Anspruch 9, der darüber hinaus einen Gleichrichter (2, C1) umfaßt, dessen Ausgang (5) mit einem ersten Spannungsfolger (6), dessen Ausgang mit einem ersten Kondensator (C2) verbunden ist, und einem zweiten Spannungsfolger (7) verbunden ist, dessen Ausgang mit einem zweiten Kondensator (C3) verbunden ist, dessen Kapazität kleiner als die Kapazität des ersten Kondensators (C2) ist, wobei der erste Kondensator (C2) mit dem einen Eingang und der zweite Kondensator (C3) mit dem anderen Eingang des Komparators (8) verbunden ist.
- 25 11. ASK-Demodulator nach Anspruch 10, bei dem die beiden Spannungsfolger (6, 7) jeweils entgegengesetzte Offset-Spannungen aufweisen.

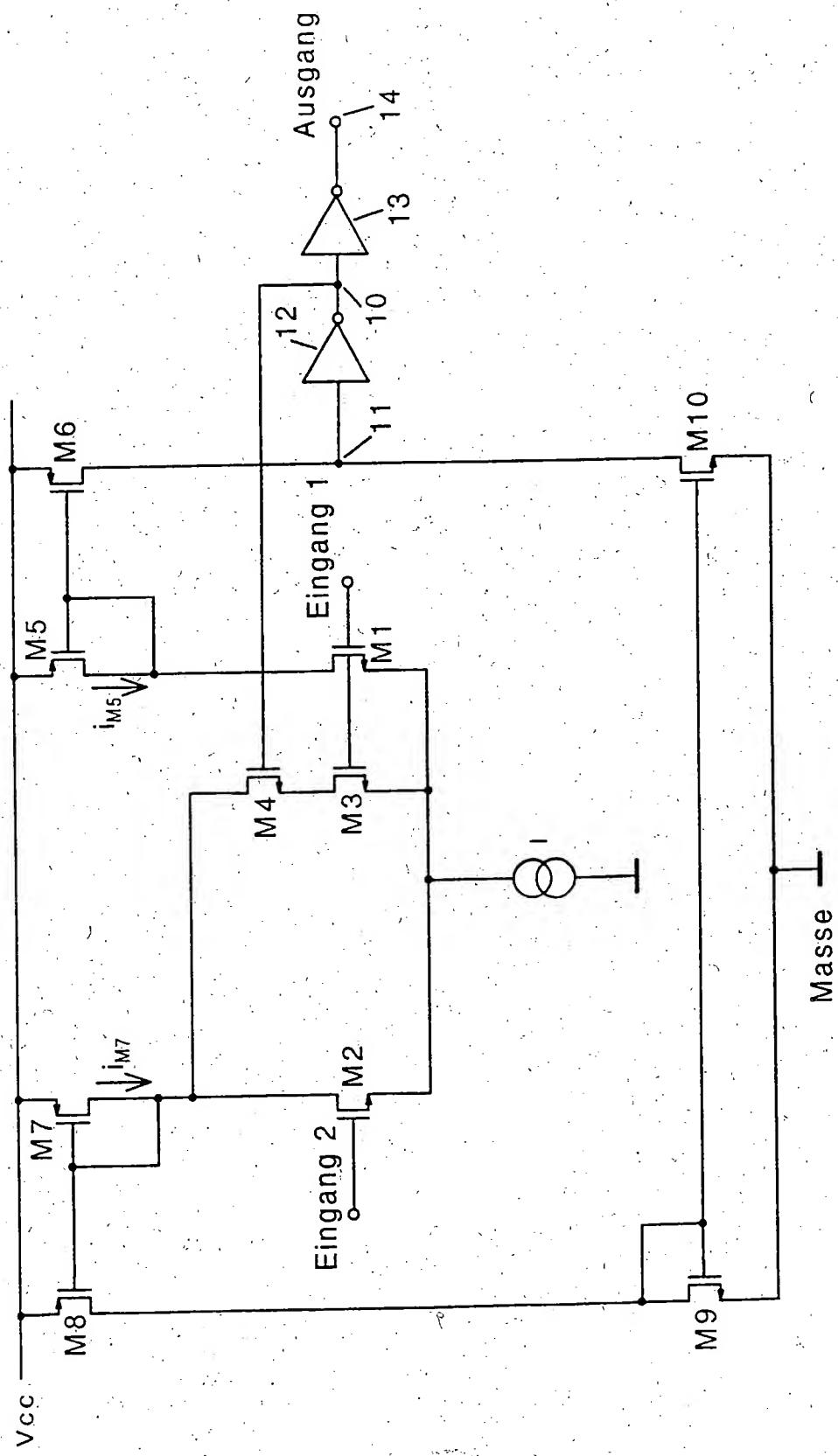
12. ASK-Demodulator nach einem der Ansprüche 10 oder 11, bei dem der Komparator (8) eine Offset-Spannung aufweist.

Zusammenfassung

Komparator mit Hysterese

Die Erfindung betrifft einen Komparator mit Hysterese. Bei bisherigen Komparatoren mit interner positiver Gegenkopplung trat das Problem auf, daß ein hoher Stromverbrauch notwendig war, um kurze Schaltverzögerungen zu erreichen. Die Erfindung schafft einen Komparator mit Hysterese, der einen geringen Stromverbrauch aufweist und dennoch eine hohe Schaltgeschwindigkeit erreicht. Der Komparator weist einen ersten Transistor (M1) und einen zweiten Transistor (M2) auf, deren Steueranschlüsse die Eingänge des Komparators bilden. Die Hauptstrompfade der beiden ersten Transistoren sind an einem Ende miteinander verbunden, wobei ein dritter Transistor (M3) und ein vierter Transistor (M4) vorgesehen sind. Der Steueranschluß des dritten Transistors ist mit dem Steueranschluß des ersten Transistors verbunden und sein Hauptstrompfad liegt zwischen dem einen Ende der Hauptstrompfade des ersten und zweiten Transistors und ist über den Hauptstrompfad des vierten Transistors mit dem anderen Ende des Hauptstrompfades des zweiten Transistors verbunden. Der Steueranschluß des vierten Transistors ist mit dem Ausgangssignal oder dem invertierten Ausgangssignal des Komparators verbunden. Der erfindungsgemäße Komparator kann z.B. in einem ASK-Demodulator eingesetzt werden, wie er z. B. in Transpondern eingesetzt wird.

Figur 2



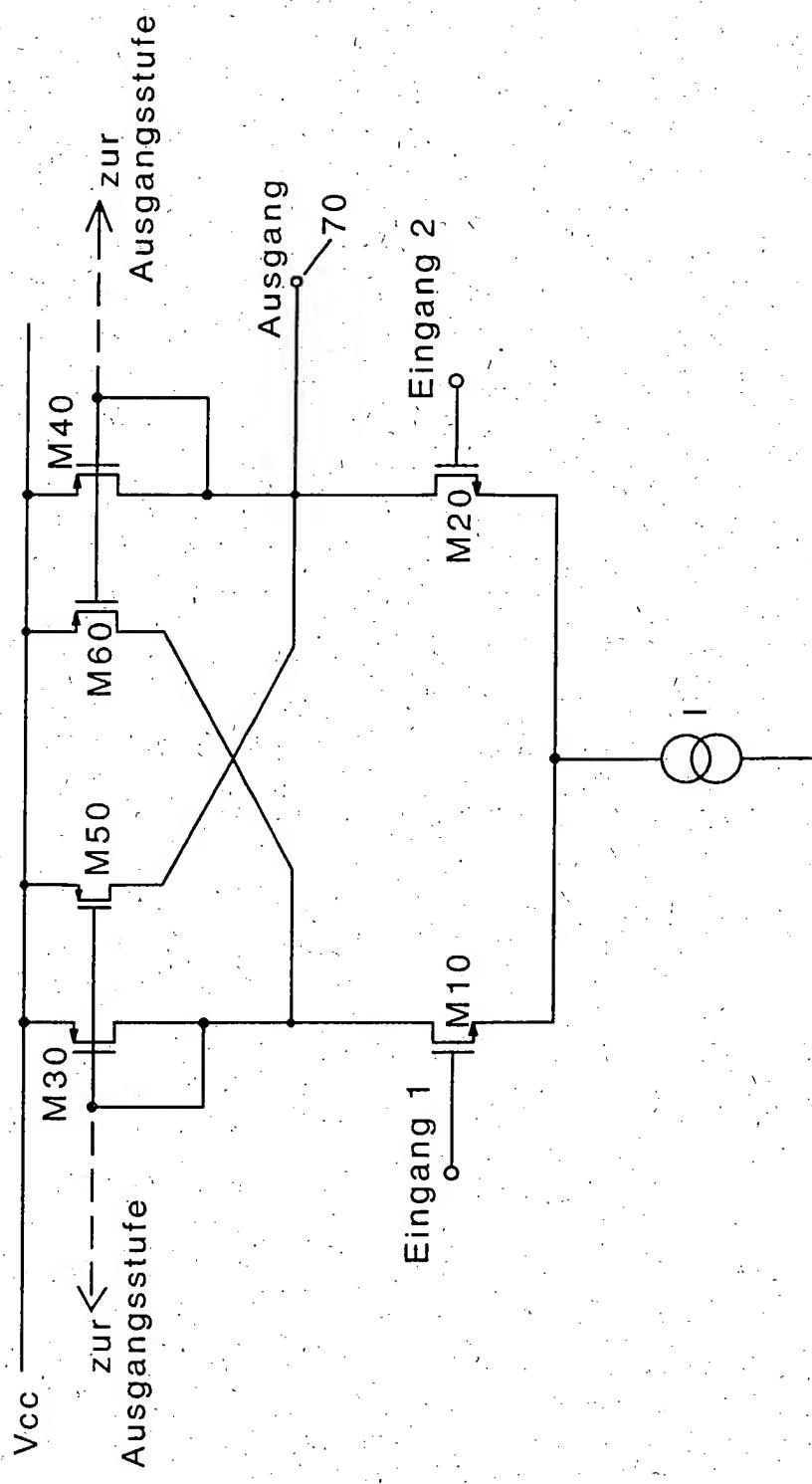


Fig. 1
(Stand der Technik)

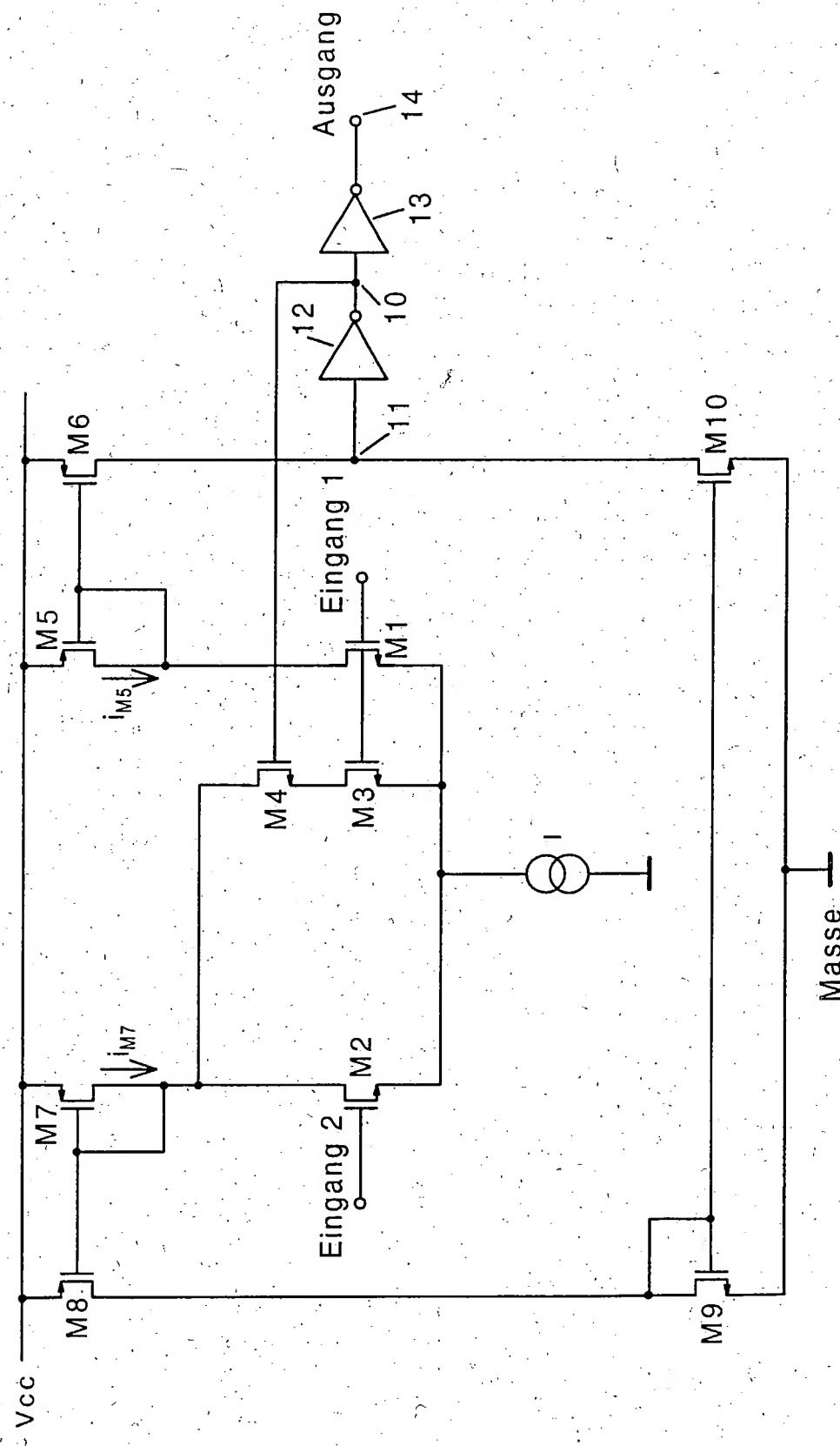
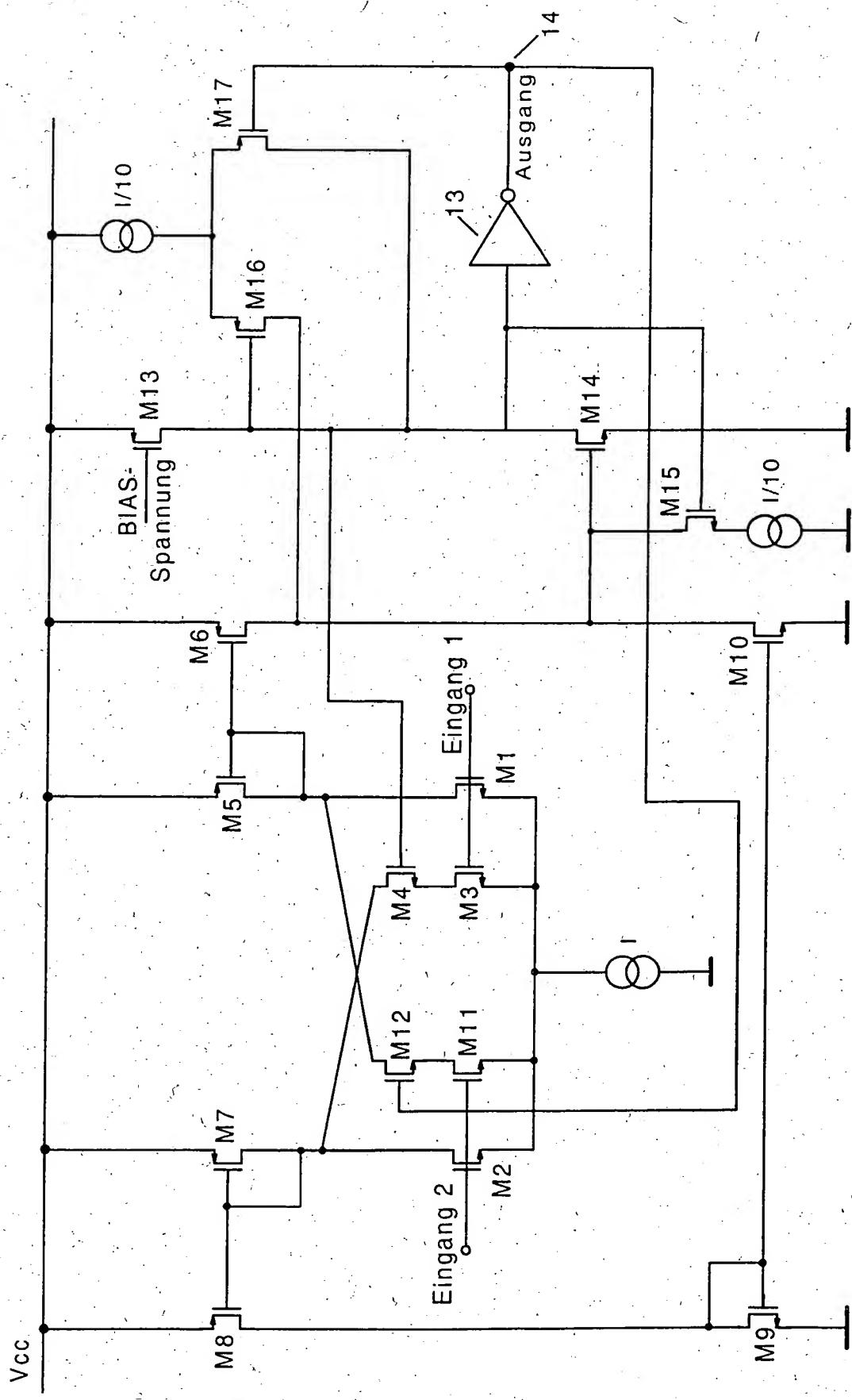


Fig. 2

3
Fig.



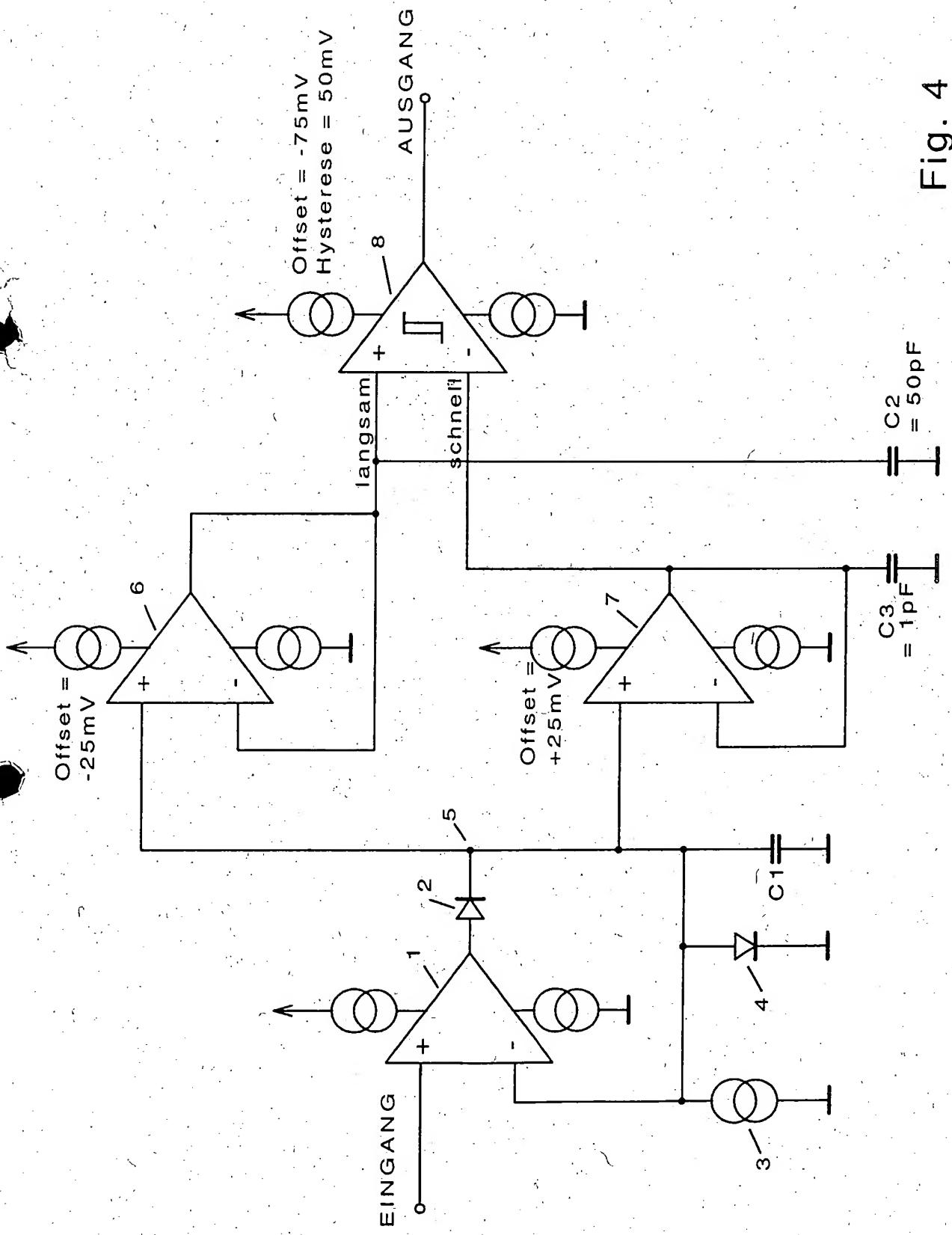


Fig. 4

5/5

Fig. 5

